

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Akifumi KAMIJIMA

Application No.: 10/731,088

Filed: December 10, 2003

Group Art Unit: 1765

Docket No.: 118045

For: METHOD FOR FABRICATING A MASK, METHOD FOR FABRICATING A
PATTERNED THIN FILM AND A MICRO DEVICE

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2002-377897, filed December 26, 2002

In support of this claim, a certified copy of said original foreign application:

☒ is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,


James A. Oliff
Registration No. 27,075

Joel S. Armstrong
Registration No. 36,430

JAO:JSA/tje

Date: April 1, 2004

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

<p>DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461</p>
--

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application : December 26, 2002

Application Number : Japanese Patent Application
No. 2002-377897

[ST. 10/C] : [JP2002-377897]

Applicant(s) : TDK Corporation

Certified on February 9, 2004

Commissioner,
Japan Patent Office

Yasuo IMAI (sealed)

Certification No. 2004-3007827

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application : December 26, 2002

Application Number : Japanese Patent Application
No. 2002-377897

[ST. 10/C] : [JP2002-377897]

Applicant(s) : TDK Corporation

Certified on February 9, 2004

Commissioner,
Japan Patent Office

Yasuo IMAI (sealed)

Certification No. 2004-3007827

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 2 6 日
Date of Application:

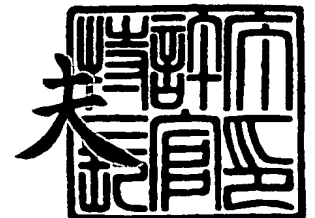
出 願 番 号 特 願 2 0 0 2 - 3 7 7 8 9 7
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 7 7 8 9 7]

出 願 人 T D K 株 式 会 社
Applicant(s):

2 0 0 4 年 2 月 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 7 8 2 7

【書類名】 特許願

【整理番号】 P04511

【提出日】 平成14年12月26日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G11B 5/39

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

【氏名】 上島 聡史

【特許出願人】

【識別番号】 000003067

【氏名又は名称】 ティーディーケイ株式会社

【代理人】

【識別番号】 100081606

【弁理士】

【氏名又は名称】 阿部 美次郎

【手数料の表示】

【予納台帳番号】 014513

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 マスク形成方法、パターン化薄膜形成方法およびマイクロデバイスの製造方法

【特許請求の範囲】

【請求項 1】 レジスト層でなるマスクを形成する方法であって、
被パターンニング膜の上に、下層レジストパターンと、前記下層レジストパターンの平面積よりも大きい平面積を有する上層レジストパターンとを含む断面 T 形状の積層レジストパターンを形成し、

次に、前記積層レジストパターンを用いて前記被パターンニング膜をパターンニングした後、前記上層レジストパターンの平面積を増大させる工程を含むマスク形成方法。

【請求項 2】 請求項 1 に記載されたマスク形成方法であって、
前記上層レジストパターンは、フェノール性水酸基を含むレジストを主成分とし、

前記上層レジストパターンの平面積を増大させる工程は、前記積層レジストパターンの周りに水溶性樹脂を塗布する工程を含むマスク形成方法。

【請求項 3】 請求項 2 に記載されたマスク形成方法であって、前記水溶性樹脂は、架橋剤を含有するマスク形成方法。

【請求項 4】 マスク形成工程と、パターン化薄膜形成工程とを含むパターン化薄膜形成方法であって、

前記マスク形成工程は、請求項 1 乃至 3 の何れかに記載された工程を含んでおり、

前記パターン化薄膜形成工程は、前記マスク形成工程を経て得られたマスクを用いて、パターン化薄膜を形成する工程を含むパターン化薄膜形成方法。

【請求項 5】 パターン化薄膜を含むマイクロデバイスの製造方法であって、前記パターン化薄膜を、請求項 4 に記載されたパターン化薄膜形成方法によって形成する

マイクロデバイスの製造方法。

【請求項 6】 請求項 5 に記載されたマイクロデバイスの製造方法であって、前記パターン化薄膜は磁気抵抗効果素子であるマイクロデバイスの製造方法。

【請求項 7】 第 1 のパターン化薄膜と、第 2 のパターン化薄膜とを含むマイクロデバイスであって、

前記第 1 のパターン化薄膜は、被パターニング膜の上に、下層レジストパターンと、前記下層レジストパターンの平面積よりも大きい平面積を有する上層レジストパターンとを含む断面 T 形状の積層レジストパターンを形成し、前記積層レジストパターンを用いて前記被パターニング膜をパターニングして形成されたものであり、

前記第 2 のパターン化薄膜は、前記第 1 のパターン化薄膜が形成された後、前記上層レジストパターンの平面積を増大させ、平面積の増大された前記上層レジストパターンの上から薄膜形成手段を適用して、前記第 1 のパターン化薄膜から微少間隔を隔てて形成したものである

マイクロデバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、マスク形成方法、このマスクを用いてパターン化薄膜を形成するパターン化薄膜形成方法およびマイクロデバイスの製造方法に関する。

【0002】

【従来の技術】

パターン化された薄膜（以下パターン化薄膜と称する）を有するマイクロデバイスにおいて、パターン化薄膜は、パターン化されたレジスト層をマスクとして用いて形成される。マイクロデバイスとは、薄膜形成技術を利用して製造される小型のデバイスを言う。マイクロデバイスの例としては、半導体デバイスや、薄膜磁気ヘッドや、薄膜を用いたセンサや、アクチュエータ等がある。

【0003】

パターン化されたレジスト層をマスクとして、パターン化薄膜を形成するには

、例えば、特許文献 1 に示されるように、ドライエッチング法（特許文献 1 では、ミリングパタニング法と表記されている）、リフトオフ法、およびこれらを併用した方法（以下併用法と称する）等が適用される。

【0004】

パターン化薄膜の形成に当たっては、ドライエッチング法、リフトオフ法、または、併用法等が適用されるから、マスクとなるレジスト膜を構成するレジスト材料としては、これらのプロセスの実行に適したものでなければならない。そのようなレジスト材料は、従来より種々知られている。例えば、特許文献 2 に開示された NQD-ノボラックレジスト（ナフトキノンジアジド-ノボラックレジスト）、特許文献 3 に開示された一体型 NQD-ノボラックレジスト、特許文献 4 に開示された疎水性一体型 NQD-ノボラックレジスト、及び、特許文献 5 に開示されたポリヒドロキシスチレン系樹脂を主成分とした化学増幅型レジスト等がその例である。

【0005】

ところで、半導体デバイス、薄膜磁気ヘッド、薄膜を用いたセンサ、または、アクチュエータ等のマイクロデバイスにおいて、2 種類のパターン化薄膜を、微小間隔を隔てて形成しなければならないことがある。このようなパターン化薄膜を形成する場合、従来は、第 1 のパターン化薄膜を形成した後、第 1 のパターン化薄膜の形成に用いられたレジストマスクを除去し、その後、第 2 のパターン化薄膜に適した別のレジストマスクを形成し、このレジストマスクを用いて、第 2 のパターン化薄膜を形成する手法をとっていた。

【0006】

このため、パターン化薄膜形成のための工程数が増えるという問題点に加えて、第 2 のパターン化薄膜のためのレジストマスクを、既に形成されている第 1 のパターン化薄膜に対して、高精度で位置決めしなければならないというきわめて困難なプロセスが必要であった。

【0007】

【特許文献 1】

特開平 9-96909 号公報

【特許文献 2】

特公昭 37-18015 号公報

【特許文献 3】

特開平 6-242602 号公報

【特許文献 4】

特開 2000-63466 号公報

【特許文献 5】

特開平 6-273934 号公報

【0008】**【発明が解決しようとする課題】**

本発明の課題は、1つのパターン化薄膜に対し、他のパターン化薄膜を、高度の位置決め精度をもって形成できるマスク形成方法、パターン化薄膜形成方法およびマイクロデバイスの製造方法を提供することである。

【0009】

本発明のもう一つの課題は、パターン化薄膜パターンニングプロセスを簡素化し得るマスク形成方法、パターン化薄膜形成方法およびマイクロデバイスの製造方法を提供することである。

【0010】**【課題を解決するための手段】**

上述した課題を解決するため、本発明では、レジスト層でなるマスクを形成するに当たり、被パターンニング膜の上に、下層レジストパターンと、前記下層レジストパターンの平面積よりも大きい平面積を有する上層レジストパターンとを含む断面 T 形状の積層レジストパターンを形成する。

次に、前記積層レジストパターンを用いて前記被パターンニング膜をパターンニングした後、前記上層レジストパターンの平面積を増大させる。

【0011】

上述したように、本発明に係るマスク形成方法では、下層レジストパターンと、上層レジストパターンとを含む積層レジストパターンを形成するので、下層レジストパターン及び上層レジストパターンを、互いに異なるレジスト材料によっ

て構成し、パターン化薄膜の微細化に適したマスクを形成することができる。例えば、下層レジストパターンと、上層レジストパターンとで、現像速度の異なる材料を用いることにより、下層レジストパターンの平面積を、上層レジストパターンの平面積よりも小さくして、アンダーカットの入った形状のマスクを形成することもできる。アンダーカットの入ったマスクは、微細なパターン化薄膜の形成及びリフトオフ法の適用に適している。

【0012】

積層レジストパターンは、下層レジストパターンと、前記下層レジストパターンの平面積よりも大きい平面積を有する上層レジストパターンとを含む断面T形状であるから、被パターンニング膜は、下層レジストパターンよりは広く、上層レジストパターンに対応した面積（幅）をもつようにパターンニングされ、パターン化薄膜（第1のパターン化薄膜とする）が得られる。

【0013】

上述のようにして、被パターンニング膜をパターンニングした後、上層レジストパターンの平面積を増大させる。積層レジストパターン全体は、被パターンニング膜から得られた第1のパターン化薄膜の上にあり、位置の変動はない。ただ、上層レジストパターンの平面積が増大されるだけである。

【0014】

このため、上層レジストパターンの平面積の増大されている積層レジストパターンを用いて、スパッタなどの成膜工程を実行することにより、上層レジストパターンの面積増大分を利用して、既に形成された第1のパターン化薄膜から、微小間隔を隔てて第2のパターン化薄膜を形成することができる。ここで、積層レジストパターン全体は、被パターンニング膜から得られた第1のパターン化薄膜の上にあり、位置の変動はないから、第1のパターン化薄膜に対し、第2のパターン化薄膜を、高精度で位置決めできる。

【0015】

しかも、第1のパターン化薄膜の形成に供された積層レジストパターンを除去せずに、単に、上層レジストパターンの平面積を増大させるだけでよいから、パターンニングプロセスが簡素化される。

【0016】

本発明に係るマスク形成方法において、上層レジストパターンは、フェノール性水酸基を含むレジストを主成分とするものによって構成することができる。この場合、上層レジストパターンの平面積を増大させる工程は、積層レジストパターンの周りに水溶性樹脂を塗布することによって実行される。水溶性樹脂の塗布手段としては、スピコート法などを用いることができる。

【0017】

水溶性樹脂は、そのまま用いてもよいし、架橋剤を添加して用いてもよい。水溶性樹脂を、架橋剤を添加することなく、そのまま用いた場合は、水溶性樹脂により、フェノール性水酸基を含むレジストで構成された上層レジストパターンが膨張して、その平面積が増大する。

【0018】

架橋剤を添加した水溶性樹脂を用いた場合は、熱処理によって上層レジストパターンから拡散してきた酸を触媒にして、水溶性樹脂自身が、上層レジストパターンの表面で、架橋剤を介して架橋し、上層レジストパターンの表面に、水溶性樹脂による皮膜を形成する。この皮膜により、上層レジストパターンの平面積が増大する。

【0019】

上層レジストパターンを構成する材料と適合する下層レジストパターンは、アルカリ性水溶液に溶解する材料によって構成することができる。

【0020】

本発明に係るパターン化薄膜形成方法は、マスク形成工程と、パターン化薄膜形成工程とを含む。マスク形成工程は、上述した本発明に係るマスク形成方法の適用によって実行される。パターン化薄膜形成工程では、マスク形成工程を経て得られたマスクを用いて、パターン化薄膜を形成する。これにより、高精度の微細パターン化薄膜を、少ない工程数で形成することができる。

【0021】

本発明に係るマイクロデバイスの製造方法では、上述した本発明に係るパターン化薄膜形成方法によって、マイクロデバイスとなるパターン化薄膜を形成する

。

【0022】

本発明に係るマイクロデバイスは、第1のパターン化薄膜と、第2のパターン化薄膜とを含む。前記第1のパターン化薄膜は、被パターニング膜の上に、下層レジストパターンと、前記下層レジストパターンの平面積よりも大きい平面積を有する上層レジストパターンとを含む断面T形状の積層レジストパターンを形成し、前記積層レジストパターンを用いて前記被パターニング膜をパターニングして形成されたものである。前記第2のパターン化薄膜は、前記第1のパターン化薄膜が形成された後、前記上層レジストパターンの平面積を増大させ、平面積の増大された前記上層レジストパターンの上から薄膜形成手段を適用して、前記第1のパターン化薄膜から微少間隔を隔てて形成されたものである。マイクロデバイスは薄膜磁気ヘッドであってもよいし、半導体デバイスや、薄膜を用いたセンサやアクチュエータ等であってもよい。マイクロデバイスが薄膜磁気ヘッドである場合、パターン化薄膜の具体例は磁気抵抗効果素子である。

【0023】**【発明の実施の形態】**

図1～図9は本発明に係るマスク形成方法、パターン化薄膜形成方法及びマイクロデバイスの製造方法を説明する図である。

【0024】

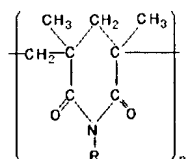
まず、図1に示すように、基板等の基層101の上に形成された被パターニング膜300の表面に、第1のレジスト層103を形成する。第1のレジスト層103は、被パターニング膜300の表面に塗布した後、必要に応じて、これを加熱することによって形成される。

【0025】

第1のレジスト層103を構成するレジスト材料は、アンダーカット形成方法に適した材料が選択される。アンダーカット形成方法としては、現像剤のみによる方法、アッシングのみによる方法、及び、現像剤とアッシングとを併用する方法がある。

【0026】

この内、現像のみでアンダーカットの入った2層レジストパターンを形成する場合は、第1のレジスト層103を構成するレジスト材料は、現像剤として通常用いられるアルカリ性水溶液に溶解し、かつ、第2のレジスト層104（後述）よりもアルカリ性水溶液による溶解速度の速い材料によって構成する。この場合の具体例としては、下記の化学式で表されるポリメチルグルタールイミド（以下PMGIと称する）を挙げることができる。



ここで、Rは水素原子またはメチル基、nは1以上の整数で表されるポリメチルグルタールイミドである。

【0027】

アッシングのみでアンダーカットの入った2層レジストを得る場合は、アッシング反応速度が、上層レジストパターンを構成するレジスト材料よりも速いこと等の条件を満たす材料を用いる。

【0028】

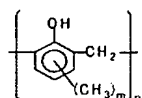
現像剤とアッシングとを併用してアンダーカットを入れる場合は、アルカリ性水溶液に溶解し、かつ、アッシング反応速度が上層レジストパターン（後述）を構成するレジスト材料よりも速いこと等の条件を満たす材料を用いる。

【0029】

以下に説明する実施例では、上述した3つのアンダーカット形成方法のうち、現像剤のみによってアンダーカットを入れる場合を例にとって説明する。

【0030】

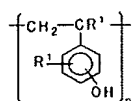
図1に示した工程の後、図2に示すように、第1のレジスト層103の上に、第2のレジスト層104を形成する。第2のレジスト層104は、フェノール性水酸基を含むレジストを主成分とするものによって構成することができる。上層レジストパターン104のレジストは、少なくとも下記の化学式、



ここで、 m は0～3の整数、 n は1以上の整数で表される構造を有する成分を含むことができる。

【0031】

上層レジストパターン104に用いられるレジストは、別の例として、少なくとも下記の化学式、



ここで、 R^1 は水素原子またはメチル基、 n は1以上の整数で表される構造を有する成分を含んでもよい。

【0032】

フェノール性水酸基を含むレジストは、ナフトキノンジアジド（以下NQDと称する）－ノボラックレジスト、一体型NQD－ノボラックレジスト、疎水性一体型NQD－ノボラックレジスト、または、ポリヒドロスチレン系樹脂を主成分とした化学増幅型レジストの何れかであってもよい。

【0033】

次に、図3に示すように、マスク105を介して、第2のレジスト層104を所定のパターンで露光して、第2のレジスト層104に所定のパターンの潜像を形成する。露光用の光は、紫外線、エキシマレーザー光、電子ビーム等、どのような光でもよい。露光用の光が電子線である場合には、マスクを介することなく、直接、第2のレジスト層104に電子線を照射することにより、所定のパターンの潜像を形成してもよい。また、必要に応じて、露光後に第2のレジスト層104を加熱する。

【0034】

次に、現像液によって、露光後の第2のレジスト層104を現像すると共に、第1のレジスト層103の一部を溶解させる。現像後、第1のレジスト層103および第2のレジスト層104の水洗と乾燥を行う。これにより、図4に図示するように、アンダーカットの入った2層の積層レジストパターン110が得られる。積層レジストパターン110のうち、上層レジストパターン112は幅 W_1 を有する。現像液としては、テトラメチルアンモニウムヒドロキシド（

TMAH) の水溶液等のアルカリ性水溶液を用いることが好ましい。

【0035】

次に、積層レジストパターン110をマスクとして、ミリング、リアクティブ・イオン・エッチング(RIE)などの手段によって、被パターンニング膜300をドライエッチングし、図5に示すように、第1のパターン化薄膜30を形成する。

【0036】

次に、図6に示すように、積層レジストパターン110の周りに水溶性樹脂106を塗布する。水溶性樹脂106の塗布手段としては、スピンコート法などを用いることができ、必要に応じて加熱する。

【0037】

ここで、フェノール性水酸基を含むレジストで構成された上層レジストパターン112は、水溶性樹脂106の収縮作用により膨張し、水溶性樹脂106を塗布する前の幅W11(図4及び図5参照)から、図7の幅W12に膨張して、その平面積が増大する。

【0038】

水溶性樹脂として、ポリアクリル酸、ポリビニルアセタール、ポリビニルピロリドン、ポリビニルアルコール、ポリエチレンイミン、ポリエチレンオキシド、スチレン-無水マレイン酸共重合体、ポリビニルアミン、ポリアリルアミン、オキサゾリン基含有水溶性樹脂、水溶性メラミン樹脂、水溶性尿素樹脂、アルキッド樹脂、スルホンアミドのうちの1種類、又はこれらの2種類以上の混合物、或いはこれらの塩を主成分とすることができる。

【0039】

この後、純水を用いて、水溶性樹脂106を除去する。これにより、図8に示すように、水溶性樹脂106を塗布する前の幅W11(図5参照)から、幅W12に、その平面積を増大させた積層レジストパターン110が得られる。

【0040】

以上の工程はマスク形成方法に属する。パターン化薄膜形成方法またはマイクロデバイスの製造方法の場合は、このマスク形成方法の工程の後に、パターン化

薄膜形成工程が実行され、それによってマイクロデバイスが製造される。このパターン化薄膜工程は、第1のパターン化薄膜30に対して微小間隔を隔てる第2のパターン化薄膜を形成するための工程である。

【0041】

パターン化薄膜形成工程では、まず、図9に示すように、第1のパターン化薄膜30の上に積層レジストパターン110を残したままで、例えば、スパッタまたはCVD等の薄膜形成プロセスを実行することにより、第2のパターン化薄膜21、22を形成する。積層レジストパターン110を構成する上層レジストパターン112にも薄膜23が付着する。

【0042】

その後、図10に示すように、基層101から、マスク110を剥離する。これにより、マイクロデバイスの一部となる第1のパターン化薄膜30及び第2のパターン化薄膜21、22が得られる。マスク110の剥離に当たってはアセトン等の溶剤が用いられる。

【0043】

上記説明から明らかなように、第2のパターン化薄膜21、22の形成工程では、積層レジストパターン110の全体は、被パターンニング膜300から得られた第1のパターン化薄膜30の上にあり、位置の変動はない。ただ、上層レジストパターン112の平面積が増大されるだけである。

【0044】

このため、上層レジストパターン112の平面積の増大されている積層レジストパターン110を用いて、スパッタなどの成膜工程を実行することにより、上層レジストパターン112の面積増大分を利用して、既に形成された第1のパターン化薄膜30から、微小間隔G1、G2を隔てて第2のパターン化薄膜21、22を形成することができる。

【0045】

ここで、積層レジストパターン110の全体は、被パターンニング膜300から得られた第1のパターン化薄膜30の上にあり、位置の変動はないから、第1のパターン化薄膜30に対し、第2のパターン化薄膜21、22を、高精度で位置

決め形成できる。

【0046】

しかも、第1のパターン化薄膜30の形成に供された積層レジストパターン110を除去せずに、単に、上層レジストパターン112の平面積を増大させるだけでよいから、第1、第2のパターン化薄膜30、21、22のパターンニングプロセスが簡素化される。

【0047】

図1～図10の実施例では、水溶性樹脂106をそのまま用いた例を示したが、架橋剤を添加した水溶性樹脂106を用いてもよい。次に、その実施例を、図11～図16を参照して説明する。

【0048】

まず、図1～図5に示した工程を実行することにより、図11に示すように、下層レジストパターン111と上層レジストパターン112とを有する断面T状の積層レジストパターン110を用いて、第1のパターン化薄膜30を形成する。

【0049】

次に、図12に示すように、架橋剤を添加した水溶性樹脂106を、スピンコートなどの手段によって、積層レジストパターン110及び第1のパターン化薄膜30の周りに塗布する。塗布後、加熱してもよい。

【0050】

架橋剤を添加した水溶性樹脂106を用いた場合は、熱処理によって上層レジストパターン112から拡散してきた酸を触媒にして、水溶性樹脂106それ自身が、上層レジストパターン112の表面で、架橋剤を介して架橋し、上層レジストパターン112の表面に、水溶性樹脂106による皮膜113を形成する（図13、図14参照）。このため、上層レジストパターン112は、水溶性樹脂106を塗布する前の幅W11（図11参照）から、幅W12に膨張する。

【0051】

水溶性架橋剤として、メラミン誘導体、尿素誘導体、ベンゾグアナミン、グリコールウリルのうちの1種類又はこれらの2種類以上の混合物を主成分とするも

のを用いることができる。

【0052】

メラミン誘導体は、メラミン、アルコキシメチレンメラミンのうちの1種類又はこれらの混合物を主成分とする。

【0053】

尿素誘導体は、尿素、アルコキシメチレン尿素、N-アルコキシメチレン尿素、エチレン尿素、エチレン尿素カルボン酸の1種類又はこれらの2種類以上の混合物を主成分とする。

【0054】

以上の工程はマスク形成方法に属する。パターン化薄膜形成方法またはマイクロデバイスの製造方法の場合は、このマスク形成方法の工程の後に、パターン化薄膜形成工程が実行され、それによってマイクロデバイスが製造される。

【0055】

パターン化薄膜形成工程では、まず、図15に示すように、第1のパターン化薄膜30の上に積層レジストパターン110を残したままで、例えば、スッパタまたはCVD等の薄膜形成プロセスを実行することにより、第2のパターン化薄膜21、22を形成する。積層レジストパターン110を構成する上層レジストパターン112にも薄膜23が付着する。

【0056】

その後、図16に示すように、基層101から、マスク110を剥離する。これにより、マイクロデバイスの一部となる第1のパターン化薄膜30及び第2のパターン化薄膜21、22が得られる。マスク110の剥離に当たってはアセトン等の溶剤が用いられる。

【0057】

上記説明から明らかなように、第2のパターン化薄膜21、22の形成工程では、積層レジストパターン110の全体は、被パターンニング膜300から得られた第1のパターン化薄膜30の上にあり、位置の変動はない。ただ、上層レジストパターン112の平面積が増大されるだけである。

【0058】

このため、上層レジストパターン 112 の平面積の増大されている積層レジストパターン 110 を用いて、スパッタなどの成膜工程を実行することにより、上層レジストパターン 112 の面積増大分を利用して、既に形成された第 1 のパターン化薄膜 30 から、微小間隔 G1、G2 を隔てて第 2 のパターン化薄膜 21、22 を形成することができる。

【0059】

ここで、積層レジストパターン 110 の全体は、被パターンニング膜 300 から得られた第 1 のパターン化薄膜 30 の上にあり、位置の変動はないから、第 1 のパターン化薄膜 30 に対し、第 2 のパターン化薄膜 21、22 を、高精度で位置決め形成できる。

【0060】

しかも、第 1 のパターン化薄膜 30 の形成に供された積層レジストパターン 110 を除去せずに、単に、上層レジストパターン 112 の平面積を増大させるだけでよいから、第 1、第 2 のパターン化薄膜 30、21、22 のパターンニングプロセスが簡素化される。

【0061】

次に、上述したマスク形成方法及びパターン化薄膜形成方法を適用したマイクロデバイスの製造方法の具体例として、薄膜磁気ヘッドの製造方法、特に、巨大磁気抵抗効果素子（以下 GMR 素子と称する）を用いた再生ヘッドを含む薄膜磁気ヘッドを製造する場合を例にとって説明する。GMR 素子としては、スピンバルブ膜や強磁性トンネル接合素子を挙げることができる。

【0062】

図 17 はウエハー上で見た薄膜磁気ヘッド要素の 1 つを拡大して示す断面図、図 18 は図 17 の 18-18 線に沿った拡大側面断面図、図 19 は図 18 の部分拡大図である。

【0063】

図示された薄膜磁気ヘッドは、スライダの大部分を構成する基体 5 と、電磁変換素子 3、4 とを含む。基体 5 は、例えば、アルティック ($\text{Al}_2\text{O}_3\text{-TiC}$) 等のセラミック材料からなる。

【0064】

基体5には絶縁膜501が設けられている。絶縁膜501は、例えば、酸化アルミニウム (Al_2O_3)、 SiO_2 等の絶縁材料からなり、 $1 \sim 5 \mu m$ の厚みである。

【0065】

電磁変換素子3、4は、再生素子を構成するMR素子3と、記録素子4とを含む。MR素子3は、スピンバルブ膜 (SV膜) または強磁性トンネル接合膜 (TMR膜) を含んでいる。SV膜の場合は、膜面に垂直に電流を流すCPP-GMRが用いられる。TMR膜は、本来、膜面に垂直にセンス電流を流すものである。

【0066】

記録素子4は、例えば、誘導型磁気変換素子であり、MR素子3と近接して配置され、保護膜49によって覆われている。

【0067】

記録素子4は、下部磁極層41と、上部磁極層45と、記録ギャップ層42と、薄膜コイル43、47とを含む。下部磁極層41は上部シールド層41として兼用されている。

【0068】

下部磁極層41は、上部シールドギャップ層46の上に形成され、上部磁極層45と磁氣的に連結されている。記録ギャップ層42は下部磁極層41の磁極部分と、上部磁極層45の磁極部分との間に設けられている。薄膜コイル43、47は下部磁極層41及び上部磁極層45の間のインナーギャップ間の絶縁膜48内に、絶縁された状態で配設されている。

【0069】

MR素子3は、図18、図19に拡大して示すように、GMR膜30と、電極膜25、26と、下部シールド層28と、下部シールドギャップ層201と、上部シールドギャップ層46とを含む。図示実施例のMR素子3は、更に、磁区制御膜21、22と、絶縁膜 (231、232)、(241、242) とを含む。

【0070】

下部シールド層 28 は、パーマロイ (NiFe) 等の磁性材料よりなり、絶縁膜 501 の上に、スパッタリング法またはめっき法等によって、例えば約 $3\ \mu\text{m}$ の厚みとなるように形成されている。

【0071】

下部シールドギャップ層 201 は、下部シールド層 28 の上に備えられている。下部シールドギャップ層 201 は、酸化アルミニウム等の絶縁材料よりなり、スパッタ等によって、例えば $10\sim 200\ \text{nm}$ の厚みに形成されている。

【0072】

下部電極膜 25 は、例えば、数十 nm の厚みをもって、下部シールドギャップ層 201 の上に形成されている。下部電極膜 25 は、GMR 膜 30 と隣接すべき部分が、突出しており、その突出部分の両側に生じる凹部は絶縁膜 231、241 によって埋められている。絶縁膜 231、241 の表面は下部電極膜 25 の表面と同一平面を構成している。絶縁膜 231、241 は、酸化アルミニウム (Al_2O_3)、 SiO_2 等の絶縁材料からなる。

【0073】

図示された GMR 膜 30 は、フリー層 301 と、フリー層 301 に隣接する非磁性層 302 とを有し、非磁性層 302 の上に、ピンド層 303 が隣接している。ピンド層 303 の上には反強磁性層 304 が設けられている。ピンド層 303 は、反強磁性層 304 との交換結合により、磁化方向が固定される。

【0074】

フリー層 301、非磁性層 302、ピンド層 303 及び反強磁性層 304 の膜構造及び組成材料等については、既に知られている技術を、任意に適用できる。一例をあげると、フリー層 301 及びピンド層 303 は、例えば、NiFe、NiFeCo、CoFe 等で構成され、反強磁性層 304 は FeMn、MnIr、NiMn、CrMnPt などによって構成される。

【0075】

非磁性層 302 は、SV 膜の場合は Cu 等を主成分とする導電性材料層で構成され、TMR 膜の場合は、酸化アルミニウム層などの酸化絶縁物で構成される。上部電極膜 26 は反強磁性層 304 に隣接し、下部電極膜 25 はフリー層 301

に隣接している。

【0076】

磁区制御膜 21、22 は、GMR 膜 30 の幅方向の両側部に、絶縁膜 232、242 による間隔 G1、G2 を隔てて配置されている（図 19 参照）。磁区制御膜 21、22 は、フリー層 301 の磁区を制御する。間隔 G1、G2 は、磁区制御膜 21、22 から GMR 膜 30 への磁区制御作用を高めるため、磁区制御膜 21、22 と GMR 膜 30 との間の電気絶縁を確保できる範囲で、できるだけ薄くすることが望ましい。

【0077】

絶縁膜（231、232）、（241、242）は、磁区制御膜 21、22 と、電極膜 25、26 及び GMR 膜 30 との間を埋めている。具体的には、磁区制御膜 21、22 と電極膜 25 との間に、絶縁膜 231、241 が層状に配置され、磁区制御膜 21、22 と電極膜 26 との間に、絶縁膜 232、242 が層状に配置され、磁区制御膜 21、22 と GMR 膜 30 との間では、両者間に生じる間隔 G1、G2 を埋めるように、絶縁膜 232、242 が形成されている（図 19 参照）。

【0078】

上部電極膜 26 は上部シールドギャップ層 46 によって覆われている。上部シールドギャップ層 46 は、酸化アルミニウム等の絶縁材料からなり、スパッタ等によって、例えば 10～200 nm の厚み（最小厚み）に形成されている。

【0079】

上部シールド層 41 は、パーマロイ（NiFe）等の磁性材料よりなり、上部シールドギャップ層 46 の上に、スパッタリング法またはめっき法等によって、例えば約 3 μ m の厚みとなるように形成されている。実施例では、上部シールド層 41 は、記録素子 4 の下部磁性層として兼用されている。

【0080】

上述した薄膜磁気ヘッドは、GMR 膜 30 と、電極膜 25、26 とを含んでおり、電極膜 25、26 のそれぞれは、GMR 膜 30 の両面に隣接している。したがって、GMR 膜 30 の膜面に対して垂直方向にセンス電流を流す MR 素子 3 を

得ることができる。そのようなMR素子3の例は、既に述べたように、CPPタイプのSV膜またはTMR膜である。

【0081】

CPPタイプのSV膜またはTMR膜は、少なくとも1つのフリー層301を含んでおり、フリー層301に発生することのあるバルクハウゼンノイズを抑制しなければならない。図示実施例のMR素子は、磁区制御膜21、22を含んでおり、磁区制御膜21、22は、GMR膜30の幅方向の両側部に配置され、フリー層301の磁区を制御する。したがって、バルクハウゼンノイズを抑制することができる。

【0082】

絶縁膜(231、232)、(241、242)は、磁区制御膜21、22と、電極膜25、26との間に層状に介在し、GMR膜30との間では、両者間に生じる間隔G1、G2を埋めている(図19参照)。この構造によれば、電極膜25、26及びGMR膜30から磁区制御膜21、22へのセンス電流の漏洩を、絶縁膜(231、232)、(241、242)によって、確実に防止することができる。

【0083】

次に、上述した薄膜磁気ヘッドについて、本発明に係るマスク形成方法及びパターン化薄膜形成方法を用いて、MR素子3を形成するプロセスを、図20～図37を参照して説明する。図20～図37のうち、図20～図31に示す製造方法は、図1～図10に示したプロセスを基本とし、図32～図37は図11～図16に示したプロセスを基本とする。

【0084】

まず、図20に示すように、基体5の上に、絶縁層501、下部電極膜25及び絶縁膜231、241を形成した後、図21に示すように、下部電極膜25及び絶縁膜231、241の表面によって構成される平面上に、再生用のGMR膜となる被パターンニング層300を形成する。図では、被パターンニング層300は単層表示であるが、実際には多層膜構造である。

【0085】

次に、図22に示すように、被パターンニング層300の上に、第1のレジスト層103を形成し、第1のレジスト層103の上に第2のレジスト層104を形成する。第1のレジスト層103は、既に述べたような基本的特性を有するレジスト材料、具体的にはPMGI等で構成される。第2のレジスト層104は、前述したように、フェノール性水酸基を含むレジストを主成分とするものである。その具体例は、既に示したとおりである。

【0086】

次に、図23に示すように、マスク105を介して、第2のレジスト層104を所定のパターンで露光して、第2のレジスト層104に所定のパターンの潜像を形成する。マスク105は、潜像がGMR膜を設けるべき位置に形成されるように位置合わせされる。

【0087】

次に、現像液によって、露光後の第2のレジスト層104を現像すると共に、第1のレジスト層103の一部を溶解させ、現像後、第1のレジスト層103および第2のレジスト層104の水洗と乾燥を行う。

【0088】

これにより、図24に示すように、下層レジストパターン111及び上層レジストパターン112を積層した積層レジストパターン110が形成される。上層レジストパターン112は下層レジストパターン111よりも広い幅W11を持っている。

【0089】

次に、図25に示すように、例えばイオンミリングによって、被パターンニング層300を選択的にエッチングし、第1のパターン化薄膜に相当するGMR膜30を形成する。

【0090】

次に、図26に示すように、GMR膜30及び積層レジストパターン110の周りに水溶性樹脂106を塗布する。水溶性樹脂106の塗布手段としては、スピンコート法などを用いることができ、必要に応じて加熱する。

【0091】

フェノール性水酸基を含むレジストで構成された上層レジストパターン 112 は、水溶性樹脂 106 の収縮作用により膨張し、水溶性樹脂 106 を塗布する前の幅 W11 (図 24、図 25 参照) から、図 27 の幅 W12 に膨張して、その平面積が増大する。用い得る水溶性樹脂 106 の具体例は、先に例示したとおりである。

【0092】

この後、純水を用いて、水溶性樹脂 106 を除去する。これにより、図 28 に示すように、水溶性樹脂 106 を塗布する前の幅 W11 (図 25 参照) から、幅 W12 に、その平面積を増大させた積層レジストパターン 110 が得られる。

【0093】

以上の工程はマスク形成方法に属する。薄膜磁気ヘッドの製造方法の場合は、このマスク形成方法の工程の後に、パターン化薄膜形成工程が実行される。

【0094】

パターン化薄膜形成工程では、まず、図 29 に示すように、GMR 膜 30 の上に積層レジストパターン 110 を残したままで、例えば、スputa または CVD 等の薄膜形成プロセスを実行することにより、第 2 のパターン化薄膜に相当する磁区制御膜 21、22 を形成する。積層レジストパターン 110 を構成する上層レジストパターン 112 にも薄膜 23 が付着する。

【0095】

磁区制御膜 21、22 の形成工程では、積層レジストパターン 110 の全体は、被パターニング膜 300 から得られた GMR 膜 30 の上にあり、位置の変動はない。ただ、上層レジストパターン 112 の平面積が増大されるだけである。

【0096】

このため、上層レジストパターン 112 の平面積の増大されている積層レジストパターン 110 を用いて、スパッタなどの成膜工程を実行することにより、上層レジストパターン 112 の面積増大分を利用して、既に形成された GMR 膜 30 (第 1 のパターン化薄膜) から、微小間隔 G1、G2 を隔てた磁区制御膜 21、22 (第 2 のパターン化薄膜) を形成することができる。ここで、積層レジストパターン 110 の全体は、被パターニング膜 300 から得られた GMR 膜 30

の上にあり、位置の変動はないから、GMR膜30に対し、磁区制御膜21、22を、高精度で位置決め形成できる。

【0097】

しかも、GMR膜30の形成に供された積層レジストパターン110を除去せずに、単に、上層レジストパターン112の平面積を増大させるだけでよいから、GMR膜30及び磁区制御膜21、22のパターンニングプロセスが簡素化される。

【0098】

次に、図30に示すように、絶縁膜232、242を、スパッタ、CVD等の薄膜形成手段によって、所定のパターンに形成する。絶縁膜232、242は、GMR膜30と磁区制御膜21、22の間の間隔G1、G2を埋めるように形成する。これにより、磁区制御膜21、22はGMR膜30から電気絶縁される。

【0099】

しかも、間隔G1、G2は、きわめて微小に形成できるから、磁区制御膜21、22とGMR膜30との間に介在する絶縁膜232、242を薄くし、磁区制御膜21、22からGMR膜30への磁区制御作用を高めることができる。

【0100】

この後、図31に示すように、リフトオフ法によって、マスク110を除去する。この後、更に、再生素子及び記録ヘッドのための製造プロセスを実行する。これらの製造プロセスは周知である。

【0101】

次に、架橋剤を添加した水溶性樹脂を用いた実施例を、図32～図37を参照して説明する。

【0102】

まず、図20～図25に示した工程を実行することにより、図32に示すように、断面T状の積層レジストパターン110を用いて、GMR膜30（第1のパターン化薄膜）を形成する。

【0103】

次に、図33に示すように、架橋剤を添加した水溶性樹脂106を、スピッコ

ートなどの手段によって、積層レジストパターン110、GMR膜30の周りに塗布する。塗布後、加熱してもよい。

【0104】

架橋剤を添加した水溶性樹脂106を用いた場合は、熱処理によって上層レジストパターン112から拡散してきた酸を触媒にして、水溶性樹脂106それ自身が、上層レジストパターン112の表面で、架橋剤を介して架橋し、上層レジストパターン112の表面に、水溶性樹脂106による皮膜113を形成する（図33参照）。このため、上層レジストパターン112は、図34に図示するように、水溶性樹脂106を塗布する前の幅W11（図32参照）から、幅W12に拡大している。水溶性架橋剤の具体例は、既に述べたとおりである。

【0105】

以上の工程はマスク形成方法に属する。薄膜磁気ヘッドの製造方法の場合は、このマスク形成方法の工程の後に、パターン化薄膜形成工程が実行される。

【0106】

パターン化薄膜形成工程では、まず、図35に示すように、GMR膜30の上に積層レジストパターン110を残したままで、例えば、スパッタまたはCVD等の薄膜形成プロセスを実行することにより、磁区制御膜21、22を形成する。積層レジストパターン110を構成する上層レジストパターン112にも薄膜23が付着する。

【0107】

磁区制御膜21、22の形成工程では、積層レジストパターン110の全体は、被パターンニング膜300から得られたGMR膜30（第1のパターン化薄膜）の上であり、位置の変動はない。ただ、上層レジストパターン112の平面積が増大されるだけである。

【0108】

このため、上層レジストパターン112の平面積の増大されている積層レジストパターン110を用いて、スパッタなどの成膜工程を実行することにより、上層レジストパターン112の面積増大分を利用して、既に形成されたGMR膜30（第1のパターン化薄膜）から、微小間隔G1、G2を隔てて磁区制御膜2

1、22（第2のパターン化薄膜）を形成することができる。ここで、積層レジストパターン110の全体は、被パターンニング膜300から得られたGMR膜30の上にあり、位置の変動はないから、GMR膜30に対し、磁区制御膜21、22を、高精度で位置決め形成できる。

【0109】

しかも、GMR膜30の形成に供された積層レジストパターン110を除去せずに、単に、上層レジストパターン112の平面積を増大させるだけでよいから、GMR膜30及び磁区制御膜21、22のパターンニングプロセスが簡素化される。

【0110】

次に、図36に示すように、絶縁膜232、242を、スパッタ、CVD等の薄膜形成手段によって、所定のパターンに形成する。絶縁膜232、242は、GMR膜30と磁区制御膜21、22の間の間隔G1、G2を埋めるように形成する。これにより、磁区制御膜21、22はGMR膜30から電気絶縁される。

【0111】

しかも、間隔G1、G2は、きわめて微小に形成できるから、磁区制御膜21、22とGMR膜30との間に介在する絶縁膜232、242を薄くし、磁区制御膜21、22からGMR膜30への磁区制御作用を高めることができる。

【0112】

次に、図37に示すように、リフトオフ法によって、マスク110を除去する。この後、更に、再生素子及び記録ヘッドのための製造プロセスを実行する。これらの製造プロセスは周知である。

【0113】

本発明は、上記実施の形態に限定されず種々の変更が可能である。例えば、本発明は、半導体デバイスや、薄膜を用いたセンサやアクチュエータ等、薄膜磁気ヘッド以外のマイクロデバイスの製造方法にも適用することができる。

【0114】

【発明の効果】

以上述べたように、本発明によれば、次のような効果を得ることができる。

(a) 1つのパターン化薄膜に対し、他のパターン化薄膜を、高度の位置決め精度をもって形成できるマスク形成方法、パターン化薄膜形成方法およびマイクロデバイスの製造方法を提供することができる。

(b) パターン化薄膜のパターンニングプロセスを簡素化し得るマスク形成方法、パターン化薄膜形成方法およびマイクロデバイスの製造方法を提供することができる。

【図面の簡単な説明】

【図 1】

本発明に係るマスク形成方法、パターン化薄膜形成方法及びマイクロデバイスの製造法に含まれる一工程を示す断面図である。

【図 2】

図 1 の工程の後の工程を説明する断面図である。

【図 3】

図 2 の工程の後の工程を説明する断面図である。

【図 4】

図 3 の工程の後の工程を説明する断面図である。

【図 5】

図 4 の工程の後の工程を説明する断面図である。

【図 6】

図 5 の工程の後の工程を説明する断面図である。

【図 7】

図 6 の工程の後の工程を説明する断面図である。

【図 8】

図 7 の工程の後の工程を説明する断面図である。

【図 9】

図 8 の工程の後の工程を説明する断面図である。

【図 10】

図 9 の工程の後の工程を説明する断面図である。

【図 11】

本発明に係るマスク形成方法、パターン化薄膜形成方法及びマイクロデバイスの製造法の別の実施例に含まれる一工程を示す断面図である。

【図 1 2】

図 1 1 の工程の後の工程を説明する断面図である。

【図 1 3】

図 1 2 の工程の後の工程を説明する断面図である。

【図 1 4】

図 1 3 の工程の後の工程を説明する断面図である。

【図 1 5】

図 1 4 の工程の後の工程を説明する断面図である。

【図 1 6】

図 1 5 の工程の後の工程を説明する断面図である。

【図 1 7】

本発明に係るマスク形成方法、パターン化薄膜形成方法及びマイクロデバイスの製造方法が適用される薄膜磁気ヘッド要素の断面図である。

【図 1 8】

図 1 7 の 1 8 - 1 8 線に沿った拡大側面断面図である。

【図 1 9】

図 1 8 に示した薄膜磁気ヘッド要素に含まれる GMR 素子部分を拡大して示す断面図である。

【図 2 0】

図 1 7 ～図 1 9 に示した薄膜磁気ヘッドの製造工程を説明する断面図である。

【図 2 1】

図 2 0 の工程の後の工程を説明する断面図である。

【図 2 2】

図 2 1 の工程の後の工程を説明する断面図である。

【図 2 3】

図 2 2 の工程の後の工程を説明する断面図である。

【図 2 4】

図 2 3 の工程の後の工程を説明する断面図である。

【図 2 5】

図 2 4 の工程の後の工程を説明する断面図である。

【図 2 6】

図 2 5 の工程の後の工程を説明する断面図である。

【図 2 7】

図 2 6 の工程の後の工程を説明する断面図である。

【図 2 8】

図 2 7 の工程の後の工程を説明する断面図である。

【図 2 9】

図 2 8 の工程の後の工程を説明する断面図である。

【図 3 0】

図 2 9 の工程の後の工程を説明する断面図である。

【図 3 1】

図 3 0 の工程の後の工程を説明する断面図である。

【図 3 2】

図 1 7 ～図 1 9 に示した薄膜磁気ヘッドの別の製造工程を説明する断面図である。

【図 3 3】

図 3 2 の工程の後の工程を説明する断面図である。

【図 3 4】

図 3 3 の工程の後の工程を説明する断面図である。

【図 3 5】

図 3 4 の工程の後の工程を説明する断面図である。

【図 3 6】

図 3 5 の工程の後の工程を説明する断面図である。

【図 3 7】

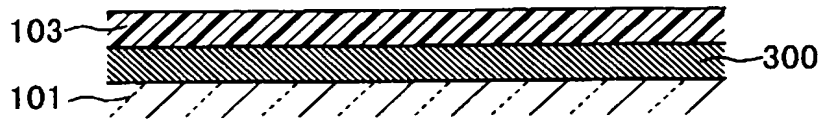
図 3 6 の工程の後の工程を説明する断面図である。

【符号の説明】

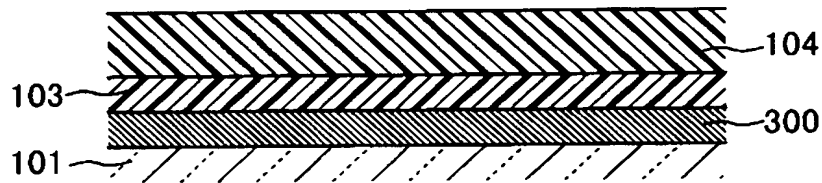
1 1 0	マスク
1 1 1	下層レジストパターン
1 1 2	上層レジストパターン
3 0	第 1 のパターン化薄膜または GMR 膜
2 1、2 2	第 2 のパターン化薄膜または磁区制御膜

【書類名】 図面

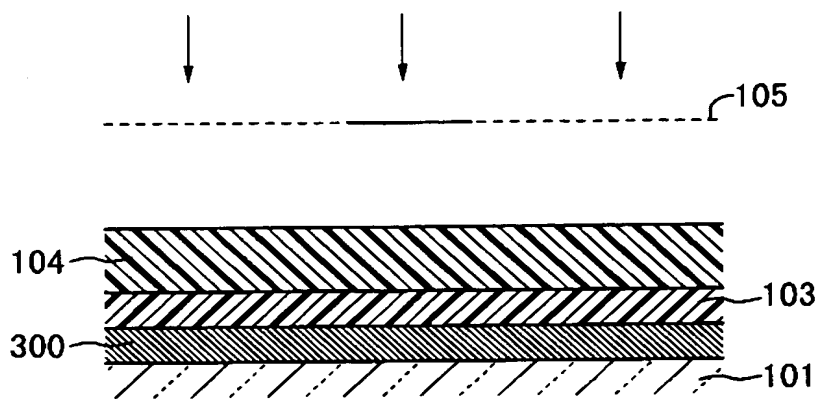
【図 1】



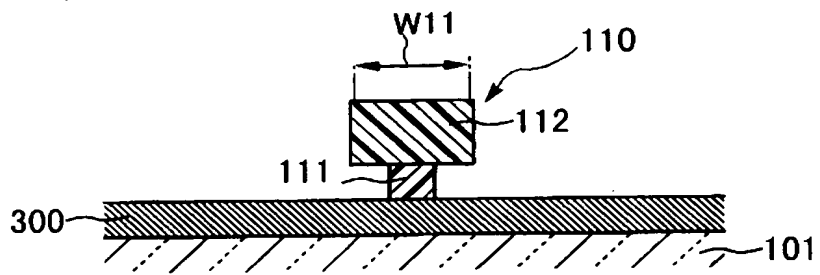
【図 2】



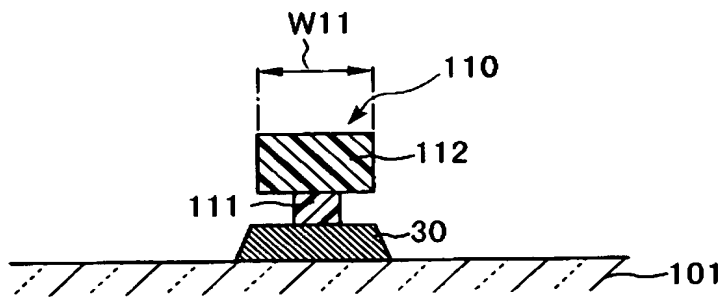
【図 3】



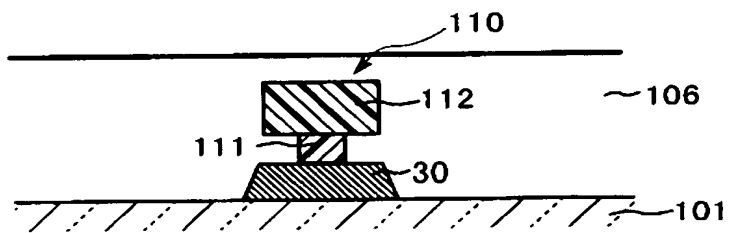
【図 4】



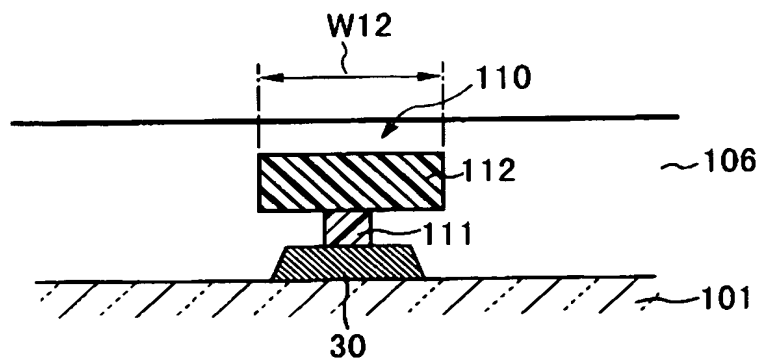
【図 5】



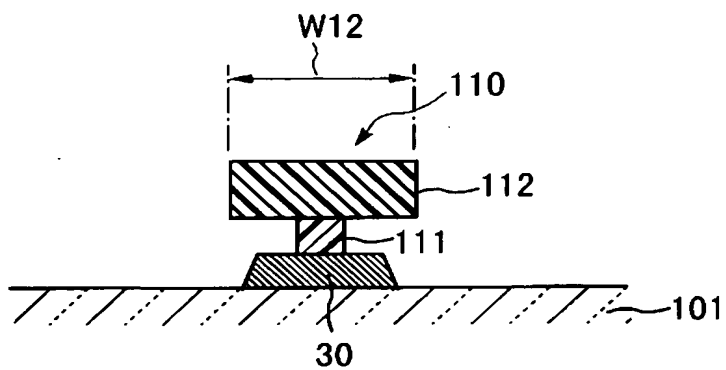
【図 6】



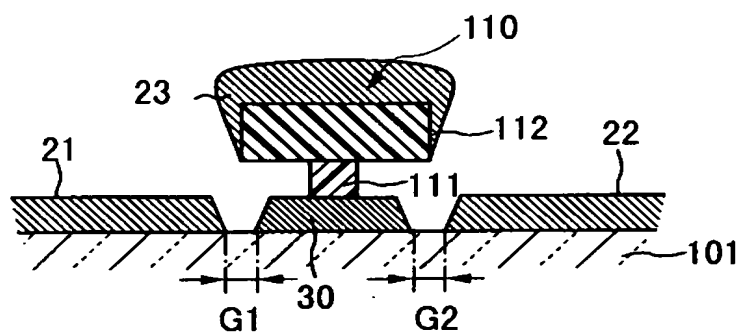
【図 7】



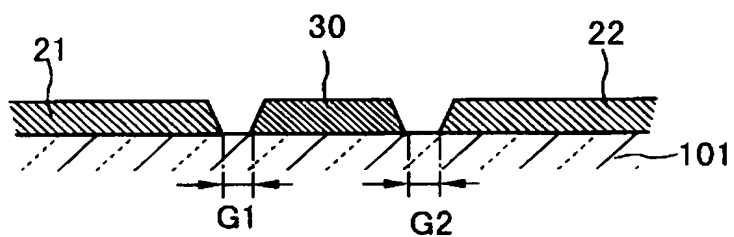
【図 8】



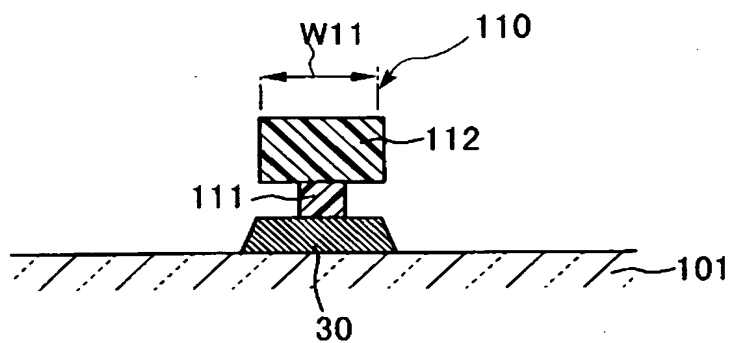
【図 9】



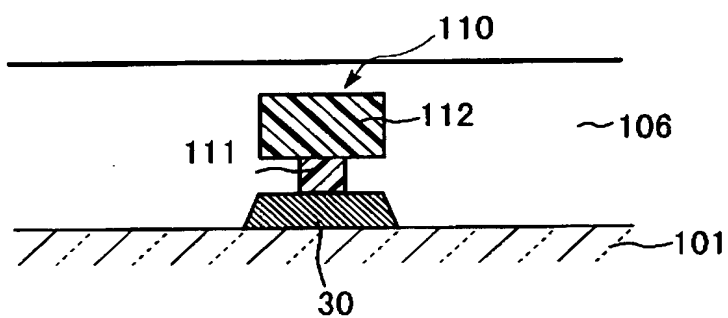
【図 10】



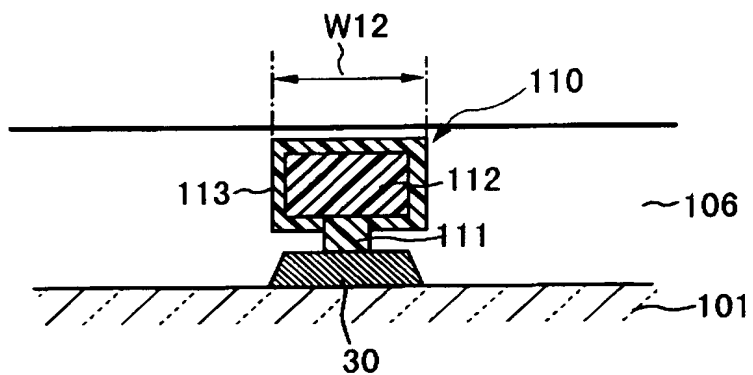
【図 1 1】



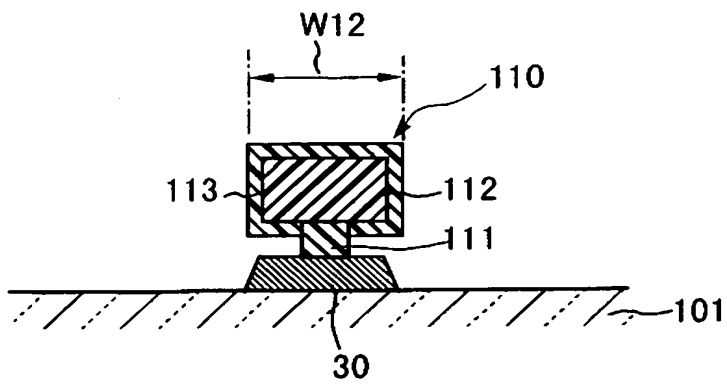
【図 1 2】



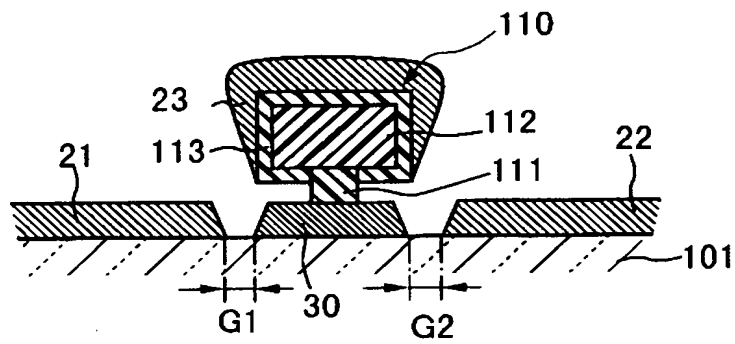
【図 1 3】



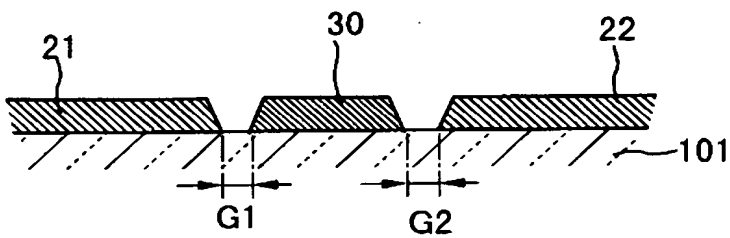
【図 14】



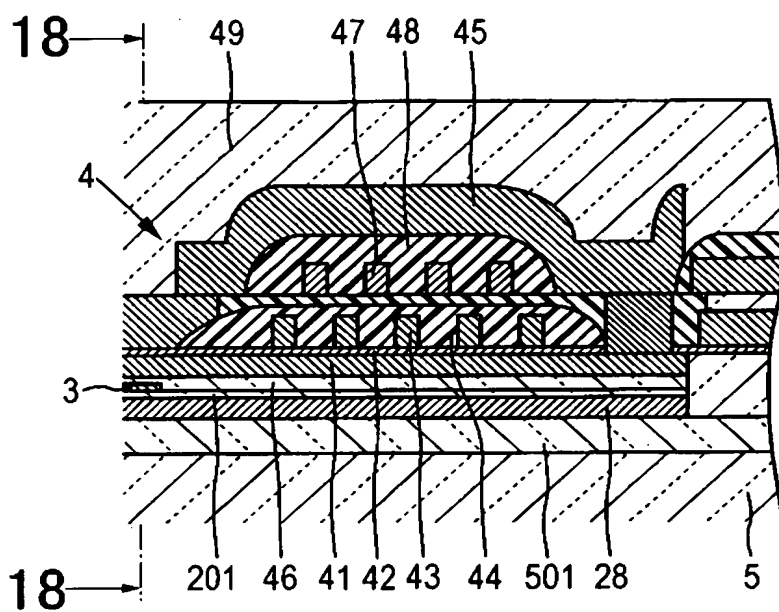
【図 15】



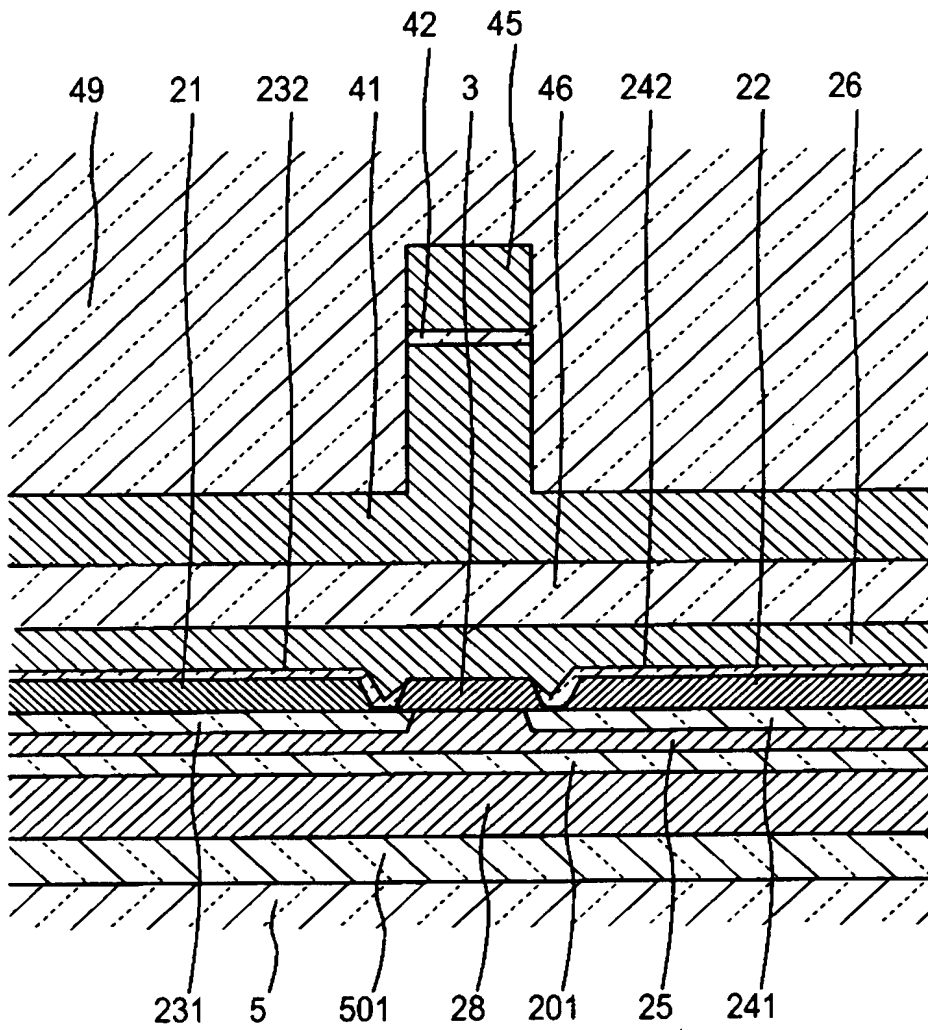
【図 16】



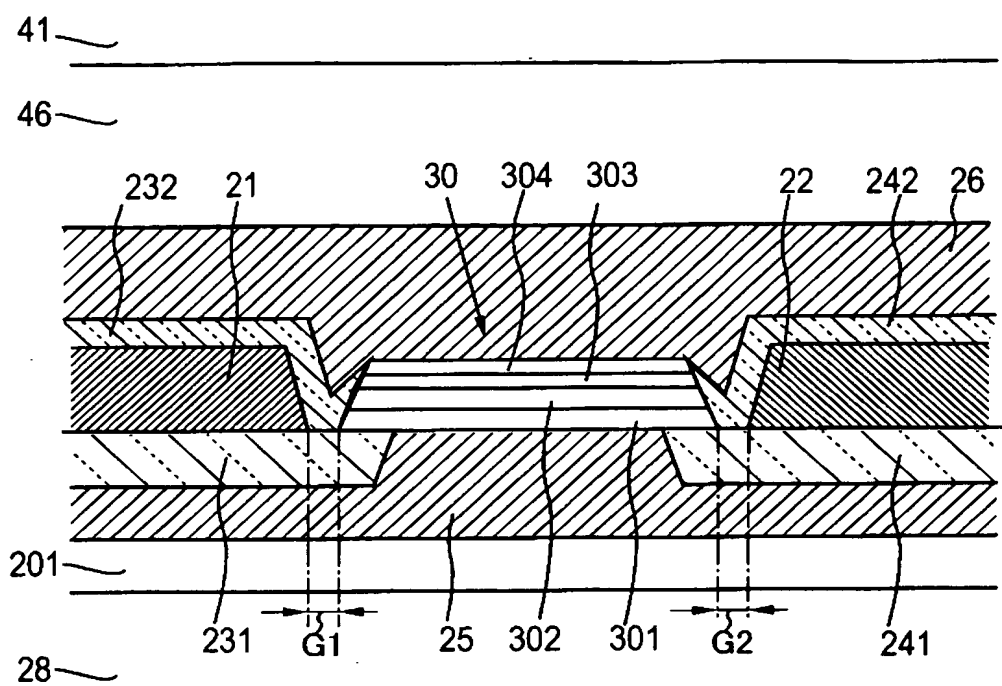
【図 17】



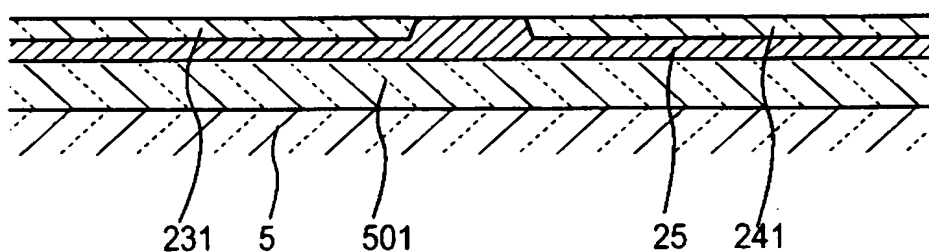
【図 18】



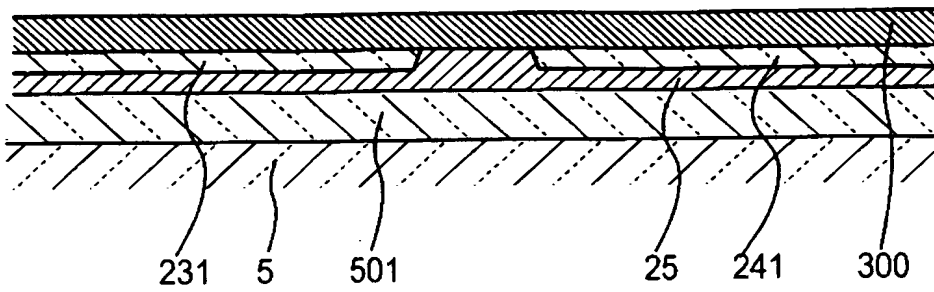
【図 19】



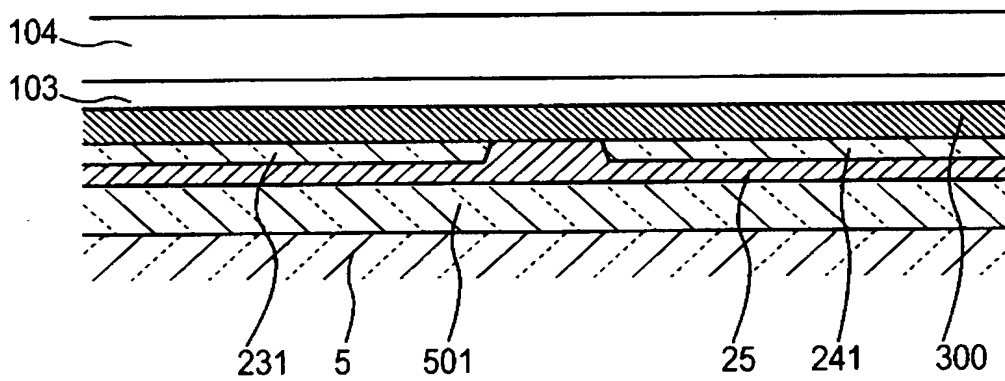
【図 20】



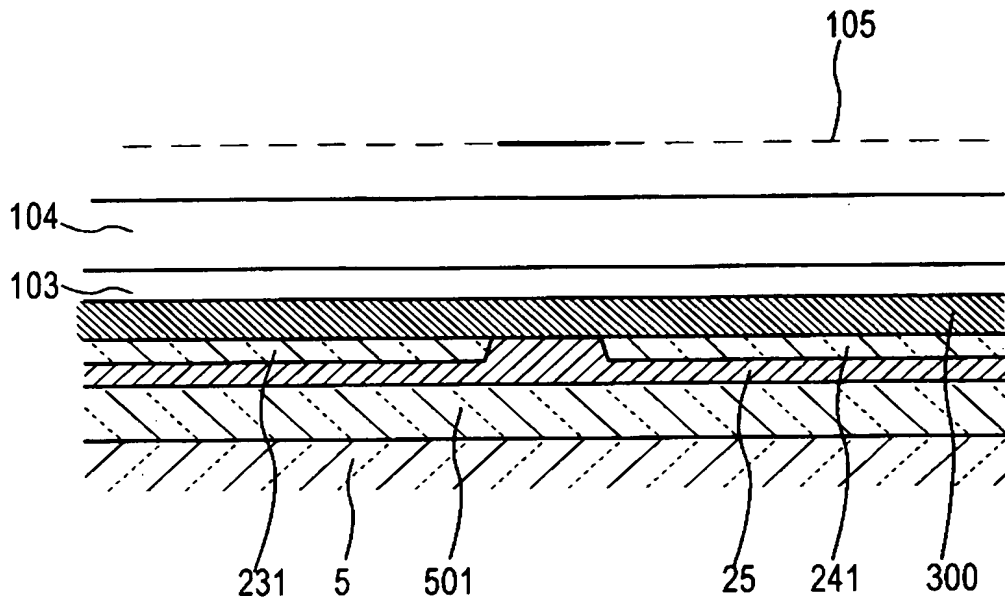
【図 2 1】



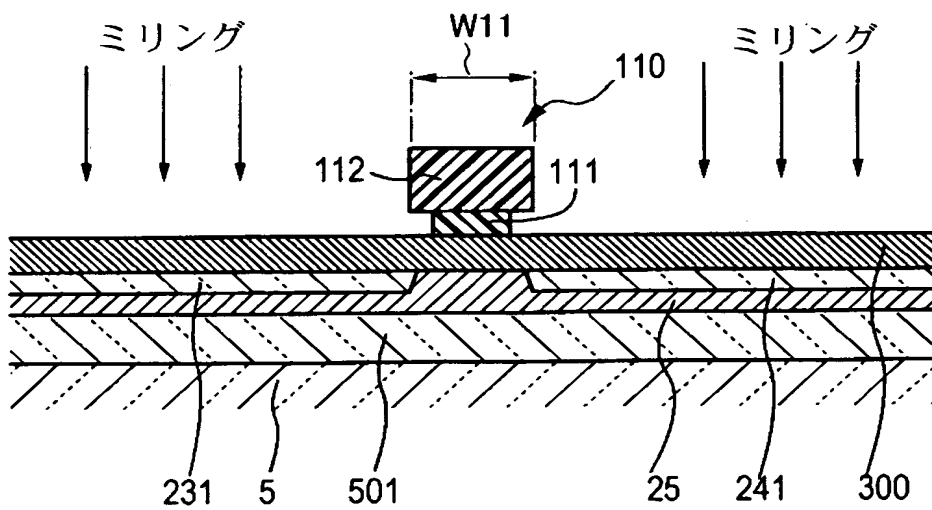
【図 2 2】



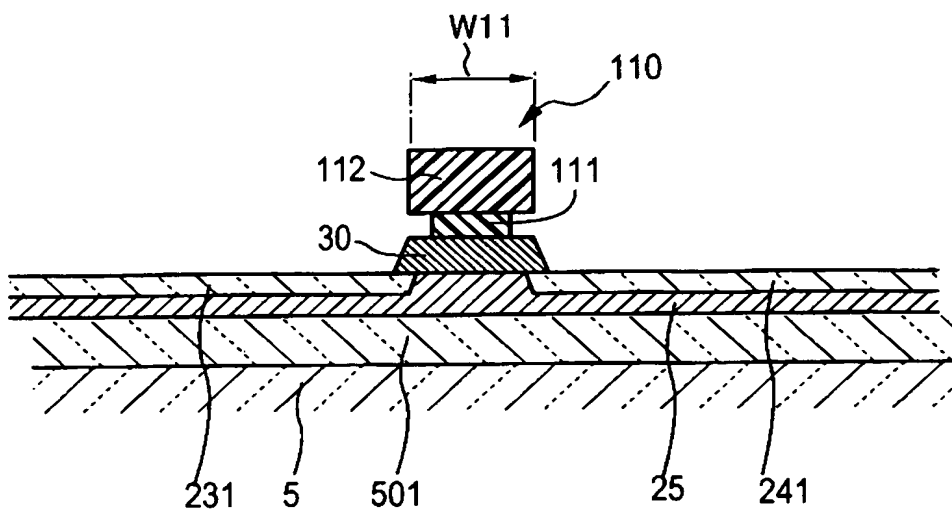
【図 2 3】



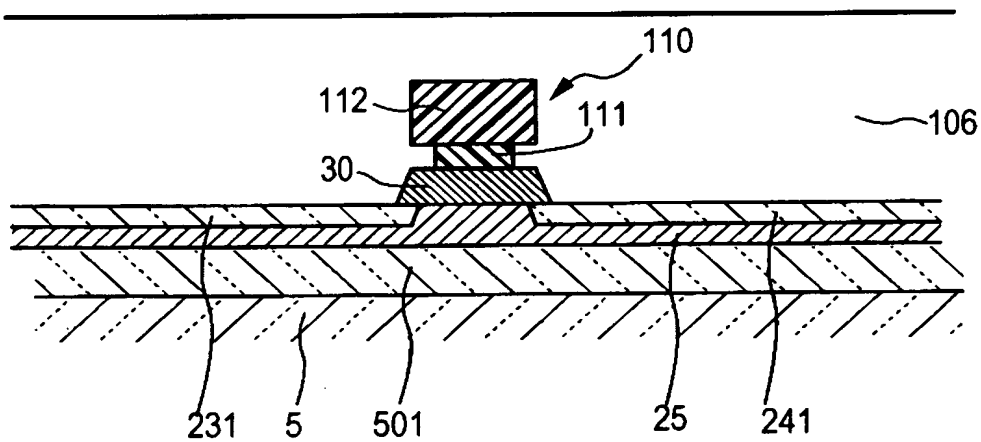
【図 2 4】



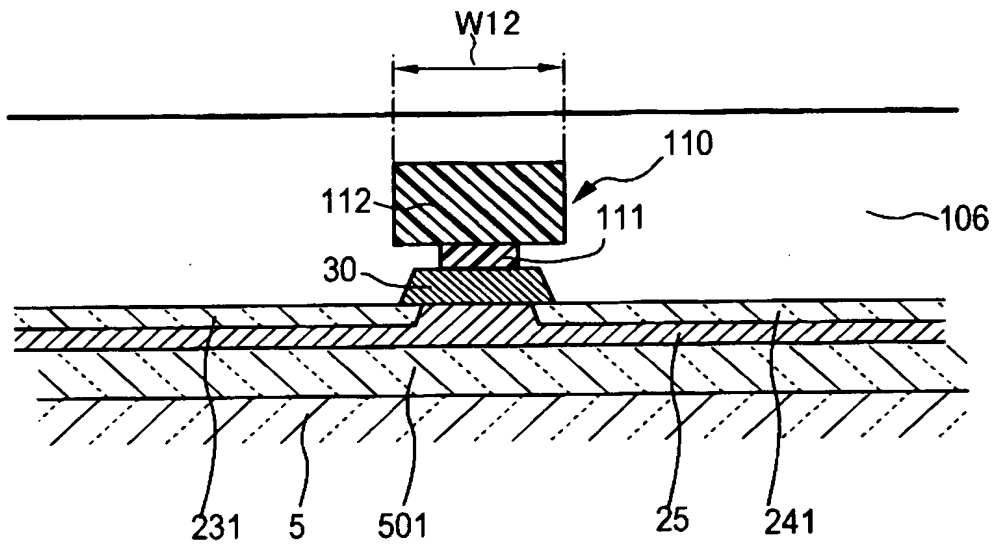
【図 25】



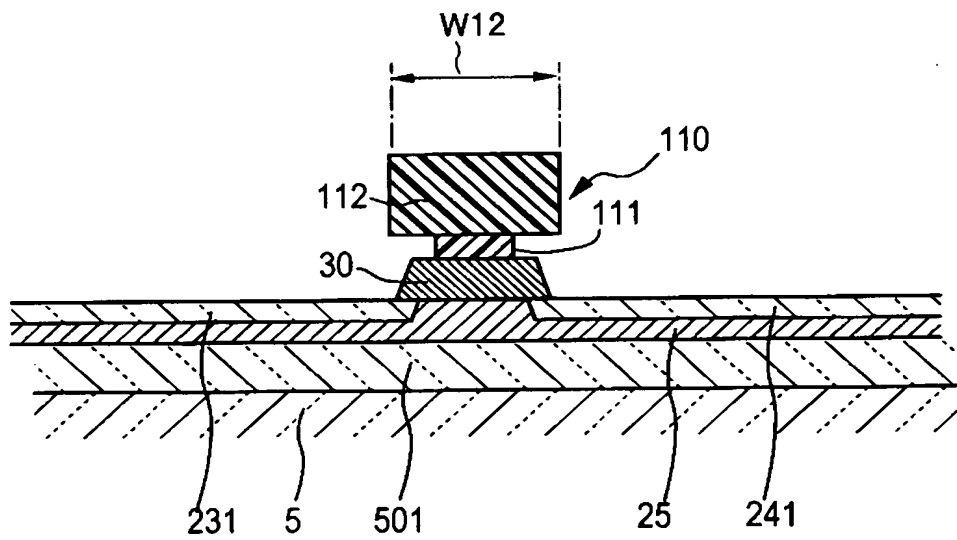
【図 26】



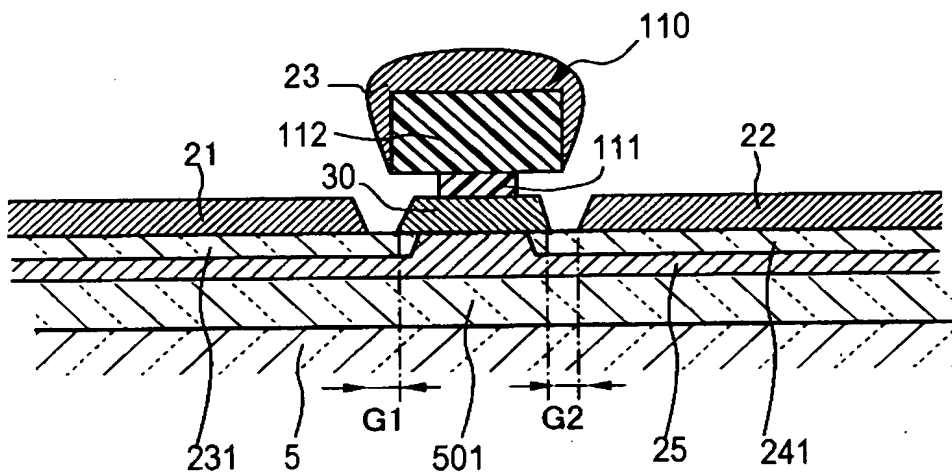
【図 27】



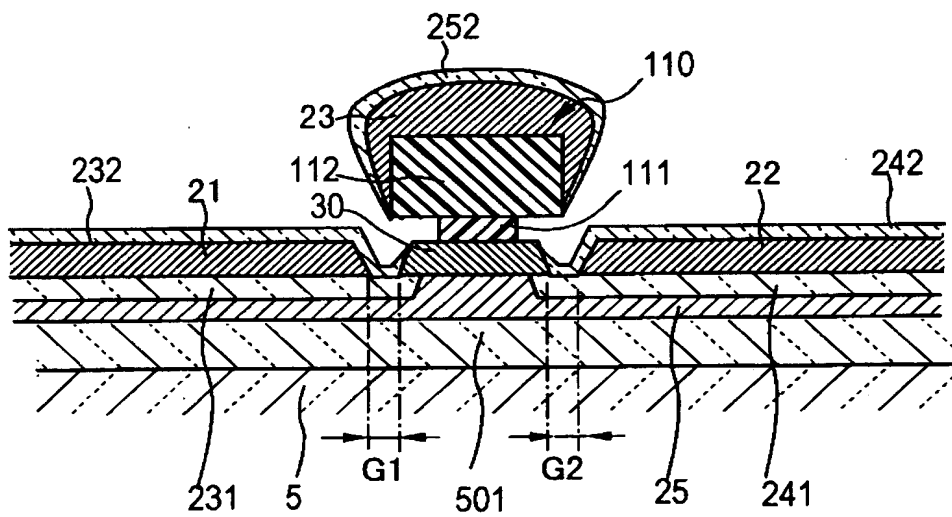
【図 28】



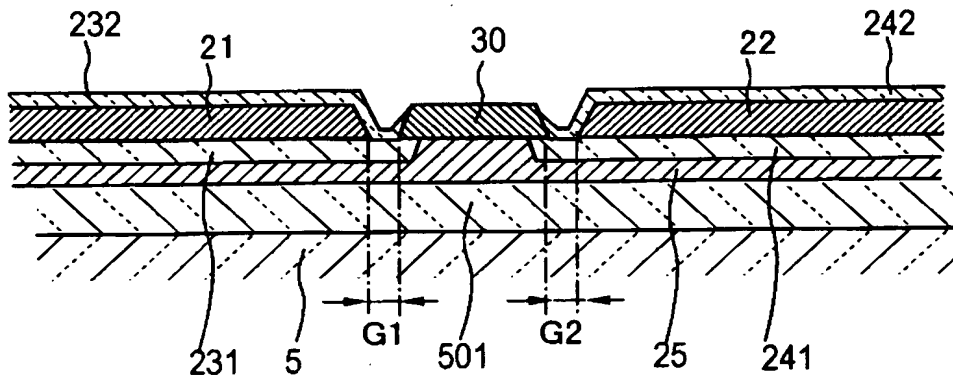
【図 29】



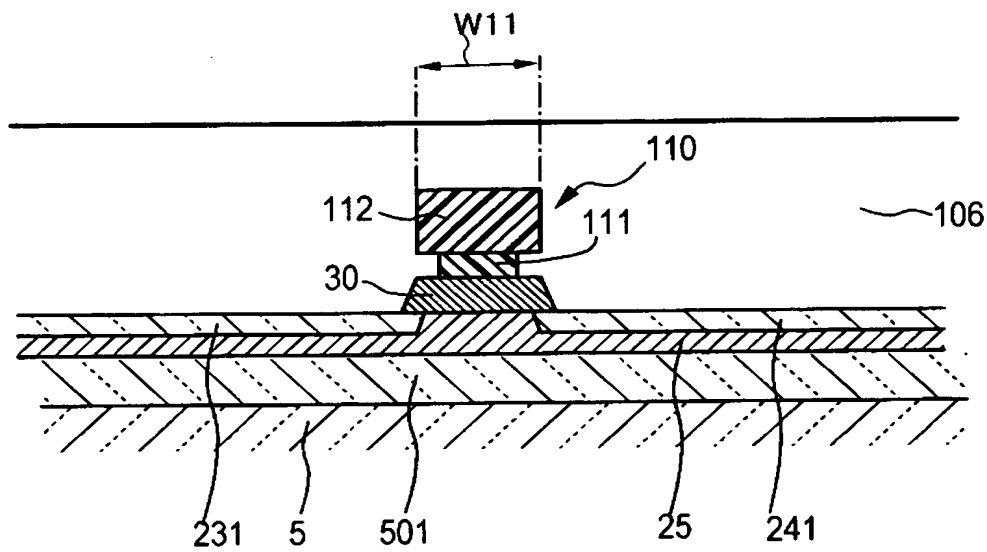
【図 30】



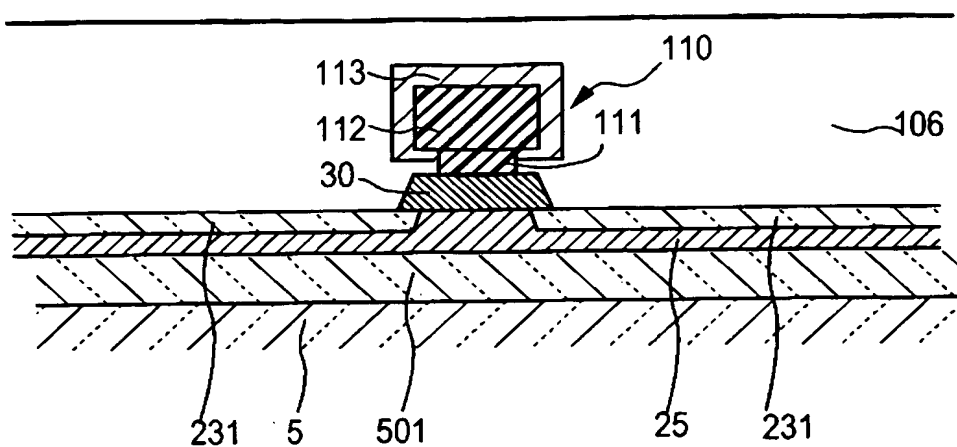
【図 3 1】



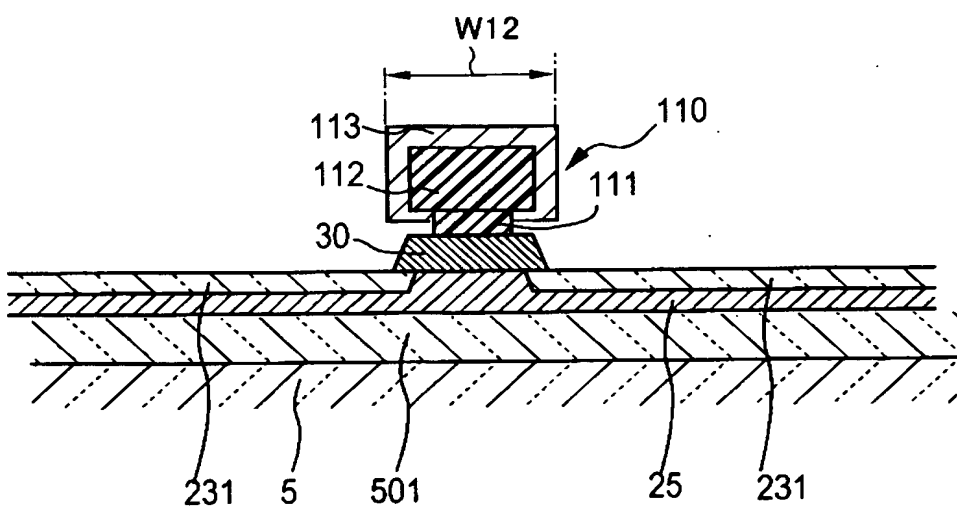
【図 3 2】



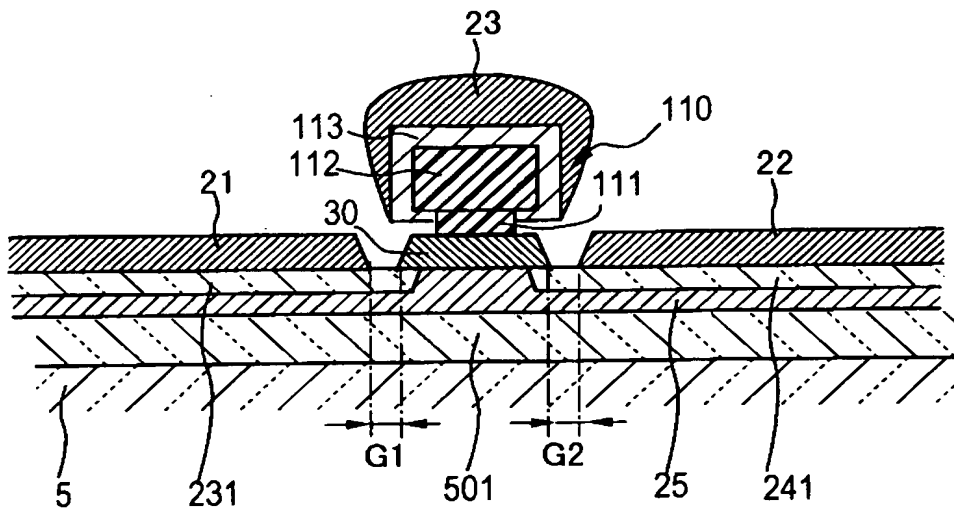
【図 3 3】



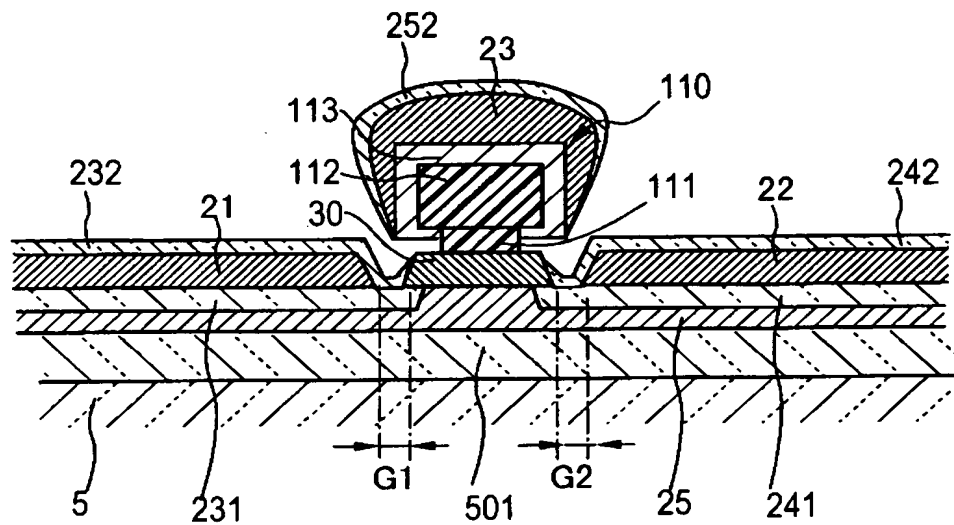
【図 3 4】



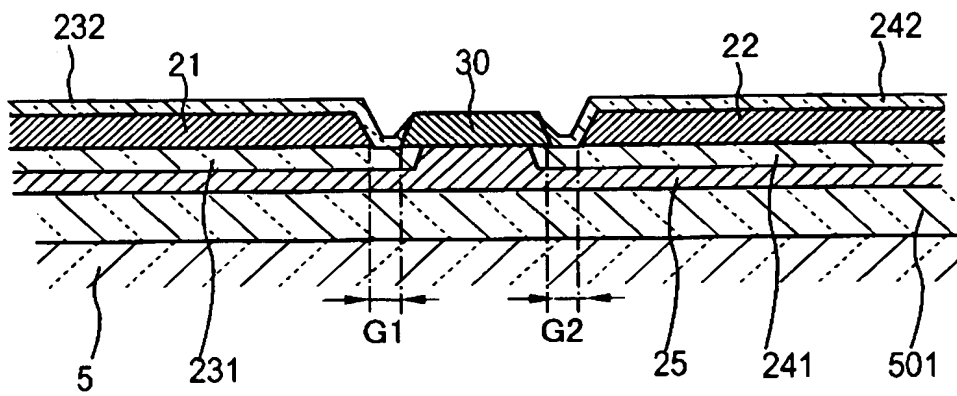
【図 3 5】



【図 3 6】



【図 37】



【書類名】 要約書

【要約】

【課題】 1つのパターン化薄膜に対し、他のパターン化薄膜を、高度の位置決め精度をもって形成できるマスク形成方法、パターン化薄膜形成方法およびマイクロデバイスの製造方法を提供する。

【解決手段】 レジスト層でなるマスクを形成するにあたり、被パターンニング膜の上に、下層レジストパターン111と、下層レジストパターン111の平面積よりも大きい平面積を有する上層レジストパターン112とを含む断面T形状の積層レジストパターン110を形成する。次に、積層レジストパターン110を用いて被パターンニング膜をパターンニングした後、上層レジストパターン112の平面積を増大させる。

【選択図】 図9

特願 2 0 0 2 - 3 7 7 8 9 7

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 6 7]

- | | |
|----------|--------------------------|
| 1. 変更年月日 | 1 9 9 0 年 8 月 3 0 日 |
| [変更理由] | 新規登録 |
| 住 所 | 東京都中央区日本橋 1 丁目 1 3 番 1 号 |
| 氏 名 | ティーディーケイ株式会社 |
| | |
| 2. 変更年月日 | 2 0 0 3 年 6 月 2 7 日 |
| [変更理由] | 名称変更 |
| 住 所 | 東京都中央区日本橋 1 丁目 1 3 番 1 号 |
| 氏 名 | T D K 株式会社 |